

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-96130

(43)公開日 平成11年(1999) 4月9日

(51)IntCl.⁸G 0 6 F 15/16
11/26
11/34

識別記号

4 5 0

F I

G 0 6 F 15/16
11/26
11/34

4 5 0 Z

S

審査請求 未請求 請求項の数18 O L (全 22 頁)

(21)出願番号

特願平9-257129

(22)出願日

平成9年(1997) 9月22日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 河場 基行

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74)代理人 弁理士 真田 有

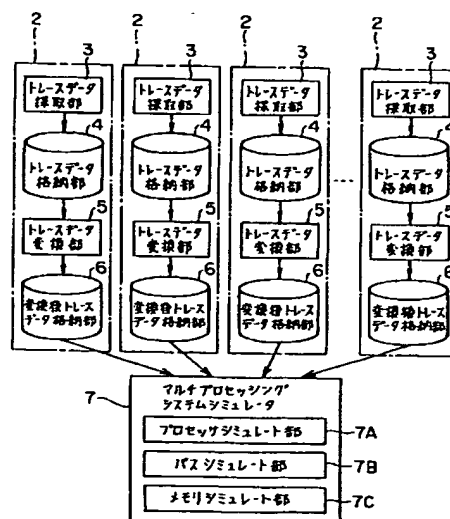
(54)【発明の名称】 マルチプロセッシングシステムの性能評価方法および装置並びにマルチプロセッシングシステムの性能評価プログラムを格納した記憶媒体

(57)【要約】

【課題】 マルチプロセッシングシステムの性能評価装置において、マルチプロセッシングシステムのシミュレーションを高精度且つ高速に行なって、マルチプロセッシングシステムの性能を高精度且つ高速に評価できるようにする。

【解決手段】 各プロセッサの実行トレースデータを採取するトレースデータ採取部3と、トレースデータ採取部3によりプロセッサ毎に採取された実行トレースデータを変換することにより、プロセッサ内での実質的な処理実行時間を見積もるトレースデータ変換部5と、トレースデータ変換部5によりプロセッサ毎に見積もられた処理実行時間を用いてマルチプロセッシングシステムのシミュレーションを行なうシミュレーション部7とをそなえるように構成する。

本発明の一実施形態にかかるマルチプロセッシングシステムの性能評価装置の構成を示すブロック図



(2)

特開平11-96130

【特許請求の範囲】

【請求項1】 命令並列実行可能なプロセッサを複数そなえこれらのプロセッサを相互に通信可能に接続して構成されるマルチプロセッシングシステムの性能を評価するための方法であって、

各プロセッサの実行トレースデータを採取し、
該プロセッサ毎に採取された実行トレースデータから、
該プロセッサ内での実質的な処理実行時間を見積もり、
該プロセッサ毎に見積もられた該処理実行時間を用いて
該マルチプロセッシングシステムのシミュレーションを行ない、そのシミュレーション結果に基づいて該マルチプロセッシングシステムの性能を評価することを特徴とする、マルチプロセッシングシステムの性能評価方法。

【請求項2】 該処理実行時間を、該プロセッサ毎に採取された実行トレースデータに基づいて、トレースドリブンシミュレーションにより算出することを特徴とする、請求項1記載のマルチプロセッシングシステムの性能評価方法。

【請求項3】 該処理実行時間を、その総和が、データアクセスに要する通信時間を0と仮定した場合の、該データアクセスを指示した命令の発生時刻と次のデータアクセス命令の発生時刻との間隔となる、複数の時間間隔として見積もることを特徴とする、請求項1または請求項2に記載のマルチプロセッシングシステムの性能評価方法。

【請求項4】 該複数の時間間隔として、
該データアクセスを指示した命令の発生時刻から、該データアクセスを指示した命令と該プロセッサ内での処理命令との間に依存関係が発生する時刻までの第1時間間隔I1と、
該データアクセスを指示した命令と該処理命令との間に依存関係が発生する時刻から、前記次のデータアクセス命令の発生時刻までの第2時間間隔I2とを見積もることを特徴とする、請求項3記載のマルチプロセッシングシステムの性能評価方法。

【請求項5】 該マルチプロセッシングシステムのシミュレーションを行なう際に、時間が0であると仮定された該データアクセスに要する通信時間として時間NLが与えられた場合、前記第1時間間隔I1および前記第2時間間隔I2に基づき、該データアクセスに要する実際の通信時間を、次式

$$\max(NL, I1) + I2$$

により算出することを特徴とする、請求項4記載のマルチプロセッシングシステムの性能評価方法。

【請求項6】 該マルチプロセッシングシステムのシミュレーションを行なう際に、前記実際の通信時間に基づいて、前記次のデータアクセス命令の発生時刻を算出することを特徴とする、請求項5記載のマルチプロセッシングシステムの性能評価方法。

【請求項7】 命令並列実行可能なプロセッサを複数そ

なえこれらのプロセッサを相互に通信可能に接続して構成されるマルチプロセッシングシステムの性能を評価するための装置であって、

各プロセッサの実行トレースデータを採取するトレースデータ採取部と、

該トレースデータ採取部により該プロセッサ毎に採取された実行トレースデータを変換することにより、該プロセッサ内での実質的な処理実行時間を見積もるトレースデータ変換部と、

該マルチプロセッシングシステムの性能を評価すべく、
該トレースデータ変換部により該プロセッサ毎に見積もられた該処理実行時間を用いて該マルチプロセッシングシステムのシミュレーションを行なうシミュレーション部とをそなえたことを特徴とする、マルチプロセッシングシステムの性能評価装置。

【請求項8】 該トレースデータ変換部が、
該プロセッサ毎に採取された実行トレースデータをトレースドリブンシミュレーションにより変換して該処理実行時間を算出するシミュレータとして構成されていることを特徴とする、請求項7記載のマルチプロセッシングシステムの性能評価装置。

【請求項9】 該トレースデータ変換部が、
該処理実行時間を、その総和が、データアクセスに要する通信時間を0と仮定した場合の、該データアクセスを指示した命令の発生時刻と次のデータアクセス命令の発生時刻との間隔となる、複数の時間間隔として見積もることを特徴とする、請求項7または請求項8に記載のマルチプロセッシングシステムの性能評価装置。

【請求項10】 該トレースデータ変換部が、
該データアクセスを指示した命令の発生時刻から、該データアクセスを指示した命令と該プロセッサ内での処理命令との間に依存関係が発生する時刻までの第1時間間隔I1と、該データアクセスを指示した命令と該処理命令との間に依存関係が発生する時刻から、前記次のデータアクセス命令の発生時刻までの第2時間間隔I2とを、該複数の時間間隔として見積もることを特徴とする、請求項9記載のマルチプロセッシングシステムの性能評価装置。

【請求項11】 該シミュレーション部が、
時間が0であると仮定された該データアクセスに要する通信時間として与えられる時間NLと前記第1時間間隔I1および前記第2時間間隔I2とに基づき、該データアクセスに要する実際の通信時間を、次式

$$\max(NL, I1) + I2$$

により算出することを特徴とする、請求項10記載のマルチプロセッシングシステムの性能評価装置。

【請求項12】 該シミュレーション部が、
前記実際の通信時間に基づいて、前記次のデータアクセス命令の発生時刻を算出することを特徴とする、請求項11記載のマルチプロセッシングシステムの性能評価装置。

(3)

特開平11-96130

置。

【請求項13】 命令並列実行可能なプロセッサを複数
そなえこれらのプロセッサを相互に通信可能に接続して
構成されるマルチプロセッシングシステムの性能をコン
ピュータにより評価するための性能評価プログラムを格
納した記憶媒体であって、
該性能評価プログラムが、
各プロセッサの実行トレースデータを採取するトレース
データ採取部、
該トレースデータ採取部により該プロセッサ毎に採取さ
れた実行トレースデータを変換することにより、該プロ
セッサ内での実質的な処理実行時間を見積もるトレース
データ変換部、および、
該マルチプロセッシングシステムの性能を評価すべく、
該トレースデータ変換部により該プロセッサ毎に見積も
られた該処理実行時間を用いて該マルチプロセッシング
システムのシミュレーションを行なうシミュレーション
部として、該コンピュータを機能させることを特徴とす
る、マルチプロセッシングシステムの性能評価プログラ
ムを格納した記憶媒体。

【請求項14】 該性能評価プログラムが、
該コンピュータを該トレースデータ変換部として機能さ
せるべく、
該プロセッサ毎に採取された実行トレースデータをトレ
ースドリブンシミュレーションにより変換して該処理実
行時間を算出するシミュレータとして、該コンピュータ
を機能させることを特徴とする、請求項13記載のマル
チプロセッシングシステムの性能評価プログラムを格納
した記憶媒体。

【請求項15】 該性能評価プログラムが、
該処理実行時間を、その総和が、データアクセスに要す
る通信時間を0と仮定した場合の、該データアクセスを
指示した命令の発生時刻と次のデータアクセス命令の発
生時刻との間隔となる、複数の時間間隔として見積も
るように、該トレースデータ変換部を動作させることを特
徴とする、請求項13または請求項14に記載のマルチ
プロセッシングシステムの性能評価プログラムを格納し
た記憶媒体。

【請求項16】 該性能評価プログラムが、
該データアクセスを指示した命令の発生時刻から、該デ
ータアクセスを指示した命令と該プロセッサ内での処理
命令との間に依存関係が発生する時刻までの第1時間間
隔I1と、該データアクセスを指示した命令と該処理命
令との間に依存関係が発生する時刻から、前記次のデ
ータアクセス命令の発生時刻までの第2時間間隔I2とを
該複数の時間間隔として見積もるように、該トレースデ
ータ変換部を動作させることを特徴とする、請求項15
記載のマルチプロセッシングシステムの性能評価プログ
ラムを格納した記憶媒体。

【請求項17】 該性能評価プログラムが、

時間が0であると仮定された該データアクセスに要する
通信時間として与えられる時間NLと前記第1時間間隔
I1および前記第2時間間隔I2とに基づき、該データ
アクセスに要する実際の通信時間を、次式

$$\max(NL, I1) + I2$$

により算出するように、該シミュレーション部を動作さ
せることを特徴とする、請求項16記載のマルチプロセ
ッシングシステムの性能評価プログラムを格納した記憶
媒体。

【請求項18】 該性能評価プログラムが、
前記実際の通信時間に基づいて、前記次のデータアクセ
ス命令の発生時刻を算出するように、該シミュレーショ
ン部を動作させることを特徴とする、請求項17記載の
マルチプロセッシングシステムの性能評価プログラムを
格納した記憶媒体。

【発明の詳細な説明】

【0001】（目次）

発明の属する技術分野

従来の技術

発明が解決しようとする課題

課題を解決するための手段

発明の実施の形態

・（a）一実施形態の説明（図1～図19）

・（b）その他

発明の効果

【0002】

【発明の属する技術分野】本発明は、命令並列実行可能
なプロセッサを複数そなえこれらのプロセッサを相互に
通信可能に接続して構成されるマルチプロセッシングシ
ステムの性能を評価する際に用いて好適な、マルチプロ
セッシングシステムの性能評価方法および装置並びにマ
ルチプロセッシングシステムの性能評価プログラムを格
納した記憶媒体に関する。

【0003】マルチプロセッシングシステム（以下、M
Pシステムという）の性能は、複数のプロセッサ間ある
いはプロセッサ-メモリ間の通信効率に応じて大きく変
化する。このため、MPシステムの性能評価は、MPシ
ステムの設計、構築、チューニングと様々な開発段階に
て行なわれている。MPシステムの性能評価手法として
は、いくつかの手法が存在しており、要求されるシミュ
レーション精度やシミュレーション速度により適切な手
法が選択される。

【0004】本発明では、MPシステムの性能評価手法
として、シミュレーション精度が高く且つシミュレーシ
ョン速度の速いトレースドリブンシミュレーションを用
いて、MPシステムの開発サイクルを短縮するようにし
ている。

【0005】

【従来の技術】従来のMPシステム用のトレースド
リブンシミュレーションにおいては、各プロセッサ毎

其

運行時間

頁27

三子

美際の

辛、乙

取部に

4/ E

14

今一

提供す

△ 7 □

(5)

特開平11-96130

ッサ毎に採取された実行トレースデータをトレースドリブンシミュレーションにより変換して処理実行時間を算出するシミュレータとして構成されていることを特徴としている（請求項8）。また、トレースデータ変換部は、処理実行時間を、その総和が、データアクセスに要する通信時間を0と仮定した場合の、データアクセスを指示した命令の発生時刻と次のデータアクセス命令の発生時刻との間隔となる、複数の時間間隔として見積もることを特徴としている（請求項9）。

【0016】具体的には、トレースデータ変換部は、データアクセスを指示した命令の発生時刻から、データアクセスを指示した命令とプロセッサ内での処理命令との間に依存関係が発生する時刻までの第1時間間隔I1と、データアクセスを指示した命令と処理命令との間に依存関係が発生する時刻から、前記次のデータアクセス命令の発生時刻までの第2時間間隔I2とを、複数の時間間隔として見積もることを特徴としている（請求項10）。

【0017】また、シミュレーション部は、時間が0であると仮定されたデータアクセスに要する通信時間として与えられる時間NLと前記第1時間間隔I1および前記第2時間間隔I2とに基づき、データアクセスに要する実際の通信時間を、次式

$$\max(NL, I1) + I2$$

により算出することを特徴としている（請求項11）。

【0018】そして、シミュレーション部は、前記実際の通信時間に基づいて、前記次のデータアクセス命令の発生時刻を算出することを特徴としている（請求項12）。さらに、本発明のマルチプロセッシングシステムの性能評価プログラムを格納した記憶媒体は、命令並列実行可能なプロセッサを複数そなえこれらのプロセッサを相互に通信可能に接続して構成されるマルチプロセッシングシステムの性能をコンピュータにより評価するための性能評価プログラムを格納した記憶媒体であって、性能評価プログラムが、各プロセッサの実行トレースデータを採取するトレースデータ採取部、トレースデータ採取部によりプロセッサ毎に採取された実行トレースデータを変換することにより、プロセッサ内での実質的な処理実行時間を見積もるトレースデータ変換部、および、マルチプロセッシングシステムの性能を評価すべく、トレースデータ変換部によりプロセッサ毎に見積もられた処理実行時間を用いてマルチプロセッシングシステムのシミュレーションを行なうシミュレーション部として、コンピュータを機能させることを特徴としている（請求項13）。

【0019】ここで、性能評価プログラムは、コンピュータをトレースデータ変換部として機能させるべく、プロセッサ毎に採取された実行トレースデータをトレースドリブンシミュレーションにより変換して処理実行時間を算出するシミュレータとして、コンピュータを機能さ

せることを特徴としている（請求項14）。また、性能評価プログラムは、処理実行時間を、その総和が、データアクセスに要する通信時間を0と仮定した場合の、データアクセスを指示した命令の発生時刻と次のデータアクセス命令の発生時刻との間隔となる、複数の時間間隔として見積もるように、トレースデータ変換部を動作させることを特徴としている（請求項15）。

【0020】具体的には、性能評価プログラムは、データアクセスを指示した命令の発生時刻から、データアクセスを指示した命令とプロセッサ内での処理命令との間に依存関係が発生する時刻までの第1時間間隔I1と、データアクセスを指示した命令と処理命令との間に依存関係が発生する時刻から、前記次のデータアクセス命令の発生時刻までの第2時間間隔I2とを複数の時間間隔として見積もるように、トレースデータ変換部を動作させることを特徴としている（請求項16）。

【0021】さらに、性能評価プログラムは、時間が0であると仮定されたデータアクセスに要する通信時間として与えられる時間NLと前記第1時間間隔I1および前記第2時間間隔I2とに基づき、データアクセスに要する実際の通信時間を、次式

$$\max(NL, I1) + I2$$

により算出するように、シミュレーション部を動作させることを特徴としている（請求項17）。

【0022】そして、性能評価プログラムは、前記実際の通信時間に基づいて、前記次のデータアクセス命令の発生時刻を算出するように、シミュレーション部を動作させることを特徴としている（請求項18）。

【0023】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を説明する。

（a）一実施形態の説明

図1は本発明の一実施形態にかかるマルチプロセッシングシステムの性能評価装置の構成を示すブロック図であり、この図1に示すマルチプロセッシングシステムの性能評価装置1（以下、MPシステム性能評価装置1ということがある）は、マルチプロセッシングシステム（以下、MPシステムという）の性能を評価するための装置である。

【0024】ここで、MPシステムの一例を図2に示すと、MPシステム10は、例えばこの図2に示すように、命令並列実行可能なプロセッサ11を複数（図2では2つだけ図示している）そなえ、これらのプロセッサ11をバス14を介して相互に通信可能に接続して構成されている。そして、MPシステム10においては、メモリ13が各プロセッサ11とバス14を介して接続され、各プロセッサ11がメモリ13を共有して使用するように構成されている。なお、各プロセッサ11はそれぞれキャッシュ12を有している。また、プロセッサ11は、周辺機器のコントローラ（I/O）も含むものと

(6)

特開平11-96130

する。

【0025】まず、前述したトレースドリブンシミュレーションについて説明すると、トレースドリブンシミュレーションは、シミュレーションの入力として、実際のシステムの実行履歴（トレースデータ）を用いたシミュレーションである。即ち、トレースドリブンシミュレーションは、あるシステム（ハードウェア/ソフトウェア）で採取されたトレースデータを用いて、異なるシステム（ハードウェア/ソフトウェア）の性能の評価、予測を行なうものである。

【0026】従って、トレースドリブンシミュレーションは、「異なるシステムにおいても命令の実行シーケンス（順番）が変わらない」という仮定に基づいたシミュレーションであるといえる。トレースドリブンシミュレーションの長所を以下に示す。

(i) トレースデータを入力として用いることによって、対象としているプログラムの振る舞いを評価、予測することができる。

(ii) シミュレーションの際に、対象としているプログラムの実行する必要がないため、高速に性能の評価、予測を行なうことができる。

【0027】そして、図1に示すMPシステム性能評価装置1は、複数のシングルプロセッサシミュレータ2及びマルチプロセッシングシステムシミュレータ7をそなえて構成されている。ここで、シングルプロセッサシミュレータ2（以下、SPシミュレータ2ということがある）は、各プロセッサ11のシミュレーションを並列して行なうべく、プロセッサ11の数に応じて複数個設けられており、それぞれトレースデータ採取部3、トレースデータ格納部4、トレースデータ変換部5及び変換後トレースデータ格納部6をそなえている。

【0028】トレースデータ採取部3は、各プロセッサ11の実行トレースデータを採取するものである。ここで、MPシステムの性能評価には、一般的にはいろいろな種類のトレースデータが用いられているが、本実施形態においては、命令トレースデータ及びアドレステレースデータを用いた場合、即ち、トレースデータ採取部3がプロセッサ11毎に命令トレースデータ及びアドレステレースデータからなるトレースデータを採取する場合について説明する。

【0029】命令トレースデータは、実際に実行された命令列を実行された順に並べたものであり、プロセッサ11のパイプラインシミュレーションに用いられるものである。また、アドレステレースデータは、ロード/ストア等のようなメモリアクセスを指示する命令に着目して、アクセスしたアドレスをアクセスした順に並べたものであり、キャッシュ12のシミュレーションに用いられるものである。なお、アドレステレースデータには、通常、アクセスした命令の種類（ロード/ストア）に関する情報が付加される。

【0030】そして、トレースデータ採取部3では、従来のトレースデータとは異なり、トレースデータとして、命令トレースデータ及びアドレステレースデータを混合したものが採取されるようになっている。ここで、トレースデータ（変換前トレースデータ）の構成の一例を図4に示すと、1つのトレースデータ4Aは、例えば図4に示すように、「命令ワード」、「PC（プログラムカウンタ）」、「アクセスアドレス」、「条件分岐成立/不成立」に関する情報から構成されている。なお、「命令ワード」は実行された命令を示し、「PC」は実行された命令のアドレスを示し、「アクセスアドレス」はアクセスしたアドレス（ロード命令とストア命令に限り値が書き込まれる）を示し、「条件分岐成立/不成立」はアクセスしたアドレス（条件分岐命令に限り値が書き込まれる）を示している。

【0031】また、トレースデータ格納部4は、トレースデータ採取部3によりプロセッサ11毎に採取された実行トレースデータ4Aを格納するものである。さらに、トレースデータ変換部5は、トレースデータ採取部3によりプロセッサ11毎に採取された実行トレースデータ4Aを変換することにより、プロセッサ11内での実質的な処理実行時間を見積もるものである。

【0032】即ち、本実施形態では、トレースデータ変換部5は、プロセッサ11毎に採取された実行トレースデータ4Aを、トレースドリブンシミュレーションにより変換して、プロセッサ11内での実質的な処理実行時間を算出するシングルプロセッサ用のシミュレータとして構成されている。ここで、トレースデータ変換部5は、後述にて詳述するように、処理実行時間を、その総和が、データアクセスに要する通信時間を0と仮定した場合の、データアクセスを指示した命令の発生時刻と次のデータアクセス命令の発生時刻との間隔となる、複数の時間間隔として見積もるように構成されている。

【0033】換言すれば、トレースデータ変換部5は、やはり後述にて詳述するように、データアクセスを指示した命令の発生時刻から、データアクセスを指示した命令とプロセッサ11内での処理命令との間に依存関係が発生する時刻までの第1時間間隔I1と、データアクセスを指示した命令と処理命令との間に依存関係が発生する時刻から、前記次のデータアクセス命令の発生時刻までの第2時間間隔I2とを、複数の時間間隔として見積もるように構成されているのである。

【0034】ここで、トレースデータ変換部5により変換されたトレースデータ（変換後トレースデータ）を、図5に示す。変換後トレースデータ6Aは、図5に示すように、「アクセスアドレス[Addr(n)]」、「アクセスサイズ[Size(n)]」、「アクセスタイプ[Type(n)]」、「次の通信セクションまでのレイテンシに関する情報[I1(n), I2(n)]」に関する情報から構成されている。なお、「アクセスアドレス」はメモリ

(7)

特開平11-96130

13上のアクセスするアドレスを示し、「アクセスサイズ」はアクセスするデータの大きさを示し、「アクセスタイプ」はアクセス命令のタイプ(リード/ライト/リブレース/ロック/アンロック等)を示す。また、「次の通信セクションまでのレイテンシに関する情報」は、通信セクション〔即ち、プロセッサ間通信(他のプロセッサとの通信やメモリとの通信)を行なっている部分〕間の実行時間に関する情報であり、前述したI1(n), I2(n)がこれに相当する。

【0035】さらに、変換後トレースデータ格納部6は、トレースデータ変換部5により変換された変換後トレースデータ6Aを格納するものである。ところで、マルチプロセッシングシステムシミュレータ7(以下、MPシステムシミュレータ7ということがある)は、MPシステム10の性能を評価すべく、各SPシミュレータ2のトレースデータ変換部5によりプロセッサ11毎に見積もられた上記処理実行時間を用いて、MPシステム10のシミュレーションを行なうものであり、シミュレーション部として機能するものである。このMPシステムシミュレータ7は、詳細には図3に示すように、プロ

$$\max(NL, I1) + I2$$

さらに、このMPシステムシミュレータ7は、やはり後述にて詳述するように、前記実際の通信時間に基づいて、前記次のデータアクセス命令の発生時刻を算出するように構成されている。

【0038】実際には、本実施形態にかかるマルチプロセッシングシステムの性能評価装置1において、上述したSPシミュレータ2のトレースデータ採取部3及びトレースデータ変換部5並びにMPシステムシミュレータ7に相当する機能は、コンピュータにおけるディスク装置やCD-ROM等の記録媒体(図示せず)に記録されたプログラム〔以下、マルチプロセッシングシステムの性能評価プログラム(MPシステム性能評価プログラム)という〕を図示しないメモリ(RAM)に読み出し、そのプログラムを起動してやはり図示しないプロセッサ回路(CPU等)で実行することにより、プロセッサ回路の動作として実現される。

【0039】ここで、MPシステム性能評価プログラムは、各プロセッサ11の実行トレースデータを採取するトレースデータ採取部3、トレースデータ採取部3によりプロセッサ11毎に採取された実行トレースデータを変換することにより、プロセッサ11内での実質的な処理実行時間を見積もるトレースデータ変換部5、および、マルチプロセッシングシステム10の性能を評価すべく、トレースデータ変換部5によりプロセッサ11毎に見積もられた処理実行時間を用いてマルチプロセッシングシステム10のシミュレーションを行なうMPシステムシミュレータ7として、コンピュータを機能させるものである。

【0040】なお、このMPシステム性能評価プログラ

ムセッサ11のシミュレーションを行なうプロセッサシミュレート部7A、バス14のシミュレーションを行なうバスシミュレート部7B、メモリ13のシミュレーションを行なうメモリシミュレート部7Cにより構成されている。なお、各シミュレート部は、各構成要素を1サイクルずつシミュレートするように構成されている。

【0036】ここで、MPシステムシミュレータ7は、図1、図3に示すように変換後トレースデータ6Aを入力としているが、この変換後トレースデータ6Aは、プロセッサシミュレート部7Aに適用されるようになっていいる。また、MPシステムシミュレータ7からの出力は、総実行時間、バス使用率、キャッシュヒット率、CPU処理時間等が考えられる。

【0037】このMPシステムシミュレータ7は、後述にて詳述するように、時間が0であると仮定されたデータアクセスに要する通信時間として与えられる時間NLと前記第1時間間隔I1および前記第2時間間隔I2とに基づき、データアクセスに要する実際の通信時間を、次式(1)により算出するように構成されている。

$$\dots (1)$$

ムは、例えばCD-ROM等に記録されており、CD-ROM等からコンピュータにおけるディスク装置等にインストールされて使用される。即ち、上述したディスク装置やCD-ROM等が、マルチプロセッシングシステム10の性能をコンピュータにより評価するための性能評価プログラムを格納した記憶媒体に相当する。

【0041】さらに、トレースデータ格納部4、変換後トレースデータ格納部6としては、ディスク装置やメモリ(RAM)等の記録媒体(ともに図示せず)が用いられる。上述の構成により、本発明の一実施形態にかかるマルチプロセッシングシステムの性能評価装置1においては、以下にて説明するようにしてMPシステム10のシミュレーションが行なわれ、そのシミュレーション結果に基づいてMPシステム10の性能が評価される。

【0042】このときのMPシステム性能評価装置1における動作を、図6～図14に示すフローチャートを用いて詳細に説明する。ここで、本実施形態においては、前記トレースドリブンシミュレーションは、以下の前提のもとで行なわれる。これらの前提は、プロセッサ11の処理の実行順序によって、通信セクション以外のトレースデータが変化しないことを保証するものである。

(i) トレースデータの前提

トレースデータは各プロセッサ11毎に採取されている。

【0043】共有変数のロック、アンロックを行なう際のビジーループは、抽象的な命令列(ロックをかける命令、ロックを解除する命令)として保持されている。他のプロセッサ11からアクセスされる可能性のある共有変数と、自プロセッサ11からしかアクセスされないロ

(8)

特開平11-96130

ーカル変数の区別が可能である。

(ii) プログラムの振る舞いの前提

他のプロセッサ11の振る舞いによって、命令ワード（実行トレース命令列）及びアクセスアドレスが変化しない。

【0044】このような前提のもとで、MPシステム性能評価装置1においては、まず、SPシミュレータ2のトレースデータ採取部3により、各プロセッサ11の実行トレースデータが採取される（図6のステップS1）。続いて、SPシミュレータ2のトレースデータ変換部5により、プロセッサ11毎に採取された実行トレースデータからプロセッサ11内での実質的な処理実行時間が見積もられる（図6のステップS2）。なお、上記処理実行時間は、プロセッサ11毎に採取された実行トレースデータ4Aに基づいて、トレースドリブンシミュレーションにより算出される。

【0045】ここで、トレースデータ変換部5においては、変換後トレースデータ6Aは1回のプロセッサ間通信毎に作成される。なお、トレースデータ変換部5は、各SPシミュレータ2に設けられているので、各トレースデータの変換処理は並列に行なうことも可能である。また、トレースデータの解析の際には、ネットワークトラフィックに関わる全てのメモリアクセスに注意する必要がある。そこで、プロセッサ間通信を行なう場合は、以下の場合であるとする。

(i) 共有変数へのアクセス（ロード／ストア／リプレイス）

(ii) ローカル変数アクセスの外部キャッシュミス（キャッシュのリプレイスも含む）

ここで、トレースドリブンシミュレーションによるプロセッサ11の評価の一例を、図9、図10に示す。な

$I1(n) = [INST(n) \text{ と } NA(n) \text{ の依存関係が発生する時刻}]$

$- [NA(n) \text{ がメモリアクセスを開始した時刻}] \dots (2)$

$I2(n) = [NA(n+1) \text{ がメモリアクセスを開始した時刻}]$

$- [INST(n) \text{ と } NA(n) \text{ の依存関係が発生する時刻}] \dots (3)$

換言すれば、 $I1(n)$ は、データアクセスを指示した命令の発生時刻から、データアクセスを指示した命令とプロセッサ11内での処理命令との間に依存関係が発生する時刻までの第1時間間隔を示す。また、 $I2(n)$ は、データアクセスを指示した命令と処理命令との間に依存関係が発生する時刻から、前記次のデータアクセス命令の発生時刻までの第2時間間隔を示す。

【0050】さらに、トレースデータ変換部5における通信セクション間のレイテンシの見積り手順を図7、図8に示す。そして、ネットワークレイテンシ(NL)がない設定で、シングルプロセッサ用トレースドリブンシミュレータによりシミュレーションが行なわれ（図7のステップA1～A14および図8のステップA15～A18参照）、上記 $I1(n)$ 、 $I2(n)$ が求められる。

お、本実施形態では、変換前トレースデータ4Aにおけるプログラムカウンタ（図4参照）の値を用いない場合について説明する。

【0046】まず、以下のような簡単なパイプラインをもったプロセッサ11のシミュレーションが行なわれる（図9のステップB1～B10および図10のステップB11～B24参照）。

(i) 通常の命令；FDEW

(ii) メモリアクセス命令；FDEMMW

なお、Fはフェッチ(fetch)、Dはデコード(decode)、Eは実行(execute)、Wは書き込み(writeback)、Mはメモリアクセス(memory access)を示す。

【0047】そして、図9のステップB8におけるifサイクルでフェッチ、図10のステップB13におけるdcサイクルでデコード、図10のステップB16におけるexサイクルで実行、図10のステップB23におけるwbサイクルで書き込みが行われた時刻がわかる。また、図10のステップB20におけるexサイクルでメモリアクセスが開始された時刻がわかり、全命令実行終了後のwbサイクルから全実行時間がわかる。

【0048】さらに、トレースデータ変換部5では、処理実行時間が、その総和が、データアクセスに要する通信時間を0と仮定した場合（即ち、ネットワークレイテンシがないと仮定した場合）の、データアクセスを指示した命令の発生時刻と次のデータアクセス命令の発生時刻との間隔となる、複数の時間間隔 $I1(n)$ 、 $I2(n)$ として見積もられる。

【0049】ここで、 n 番目のネットワークアクセス命令を $NA(n)$ 、これに依存する命令を $INST(n)$ としたときに、 $I1(n)$ 、 $I2(n)$ を次式(2)、(3)のように定義する。

【0051】なお、 $I1(n)$ を求める際に検出すべき依存関係を以下に示す。なお、カッコの中は依存が発生するタイミングを示す。

(i) ロードの場合

・ロードと真依存にある命令（オペランドを読むステージ）

・後続ロード（メモリアクセス）

・メモリ干渉を起こす後続ストア（メモリアクセス）

(ii) ストアの場合

・後続ストア（メモリアクセス）

・メモリ干渉を起こす後続ロード（メモリアクセス）

そして、MPシステムシミュレータ7により、プロセッサ11毎に見積もられた処理実行時間を用いてMPシステム10のシミュレーションが行なわれる（図6のステップS3）。

(9)

特開平11-96130

【0052】ここで、MPシステムシミュレータ7が全体として行なう動作を図11に示す。まず、MPシステムシミュレータ7においては、各プロセッサ11の変換後トレースデータ6Aが読み込まれ、各プロセッサシミュレート部7Aの変数が初期化されるとともに、バスシミュレート部7B、メモリシミュレート部7Cのビジーがそれぞれ0に設定され(図11のステップC1)、更に現在時刻が0に設定される(図11のステップC2)。

【0053】続いて、各シミュレート部7A、7B、7Cより、各構成要素11、14、13が1サイクル分ずつシミュレートされる(図11のステップC3;即ち、図12のステップD1～ステップD18、図13のステップE1～ステップE6、図14のステップF1～ステップF5)。なお、図12は1サイクルのプロセッサシミュレート部7Aの行なう動作を示すフローチャートであり、図13は1サイクルのバスシミュレート部7Bの行なう動作を示すフローチャートであり、図14は1サイクルのメモリシミュレート部7Cの行なう動作を示すフローチャートである。

【0054】さらに、未処理の変換後トレースデータ6Aがあるか、又は、待ち状態の要求があるか、又は、ビジーが0でないバス14、メモリ13があるかが判断される(図11のステップC4)。そして、未処理の変換後トレースデータ6Aがある場合、又は、待ち状態の要求がある場合、又は、ビジーが0でないバス14、メモリ13がある場合には、現在時刻が1追加され(図11のステップC4のYESルートから図11のステップC

$$\max [NL, I1(id,n)] + \max [0, I2(id,n)] \quad \dots (4)$$

さらに、式(4)により求められた実際の通信時間に基づいて、次のデータアクセス命令の発生時刻が算出される。

【0057】即ち、プロセッサシミュレート部7Aでは、 $A(id,n)$ 、 $I1(id,n)$ 、 $I2(id,n)$ を用いて、 $n+1$ 番目の通信セッション開始タイミング $A(id,n+1)$ が求

$$A(id,n+1) = A(id,n) + \max [NL(id,n), I1(id,n)] + \max [0, I2(id,n)] \quad \dots (5)$$

なお、シミュレーションのシステム時刻が $A(id,n+1)$ に達した時点で、Trace(id)からトレースデータが抜き出され、MPシミュレーションが適用される。さらに、トレースデータ変換部5による $I1(n)$ 及び $I2(n)$ の計算例を図15に示す。この図15では、横軸が時間を示し、縦軸が命令列を示している。また、太い網かけ右矢印の長さにより、各命令が処理されている期間を示している。実際のMPシステム10においては、ネットワークレイテンシ $NL(n)$ が0ではないので、図1

$$T = A(id,n) + \max [NL(id,n), I1(id,n)] \quad \dots (6)$$

INSTの処理が開始された後、 $NA(n+1)$ が $I2(n)$ サイクルの後に通信セッションを実行する。従って、次式(7)が得られる。

$$A(id,n+1) = T + \max [0, I2(id,n)] \quad \dots (7)$$

5)、そうでない場合には、MPシステムシミュレータ7によるシミュレーションが終了する。

【0055】ここで、プロセッサシミュレート部7Aにおける処理に着目すると、プロセッサシミュレート部7Aにおいては、トレースデータ変換部5により得られた変換後トレースデータ6Aを用いて、シミュレーションが行なわれる(図12のステップD1～ステップD18)。まず、以下の説明にて使用する略号について説明する。

Trace(id) : プロセッサid(id:識別番号)の変換後トレースデータ6A

$I1(id,n)$: プロセッサidの変換後トレースデータにおける $I1(n)$

$I2(id,n)$: プロセッサidの変換後トレースデータにおける $I2(n)$

$A(id,i)$: プロセッサidのi番目の通信セッションの開始時刻(これはMPシステムシミュレータ7により見積もられる。)

プロセッサシミュレート部7Aにおいては、各プロセッサ11における時刻を $I1(id,0)$ で初期化した後、Trace(id)をイベントキューに見立ててシミュレーションが行なわれる。

【0056】そして、シミュレーションを行なう際に、時間が0であると仮定されたデータアクセスに要する通信時間として時間NLが与えられた場合、 $I1(id,n)$ 、 $I2(id,n)$ に基づき、データアクセスに要する実際の通信時間が、次式(4)により算出される。

められるのであり、 $NA(id,n)$ の処理時間が $NL(id,n)$ であったとすると、次式(5)により $A(id,n+1)$ が求められる。なお、 $NL(id,n)$ の算出方法については、従来よりの方が適宜用いられる。

【0058】

6、図17に示すように $NL(n) < I1(n)$ の場合と、図18、図19に示すように $NL(n) > I1(n)$ の場合がある。なお、図16、図18における太い白抜き右矢印Xは、それぞれ $NL(n)$ を示す。

【0059】 $NA(n)$ に依存する命令INSTは、 $NA(n)$ の実行完了より先に処理することはできないため、INSTが処理されるタイミングTは次式(6)で表される。

【0060】

(10)

特開平11-96130

換言すれば、MPシステムシミュレータ7においては、上記の式(6)、(7)を用いて通信セクション開始タイミングが見積もられるのである。この際、本実施形態においては、プロセッサ11内のシミュレーションを完全に独立に行なうことができ、また、一度トレースデータの変換を行えばプロセッサ11内のシミュレーションを再度行なう必要がないため、高速にシミュレーションを行なうことができる。

【0061】最後に、MPシステムシミュレータ7によるシミュレーション結果に基づいて、MPシステム10の性能が評価される。このように、本発明の一実施形態にかかるマルチプロセッシングシステムの性能評価装置1によれば、各プロセッサ11毎に採取された実行トレースデータ4Aから、そのプロセッサ11内での実質的な処理実行時間を見積もる〔即ち、通信セクション間隔をI1(n)、I2(n)に分離して保持する〕ことにより、命令並列実行可能なプロセッサを複数そなえてなるMPシステムのシミュレーションを高精度且つ高速に行なうことができ、MPシステムの性能を高精度且つ高速に評価することができる。

【0062】従って、MPシステムの開発サイクルを短縮化することができ、MPシステムの開発の工数を抑える効果がある。

(b) その他

なお、MPシステムの性能評価の重要なものの一つに、キャッシュプロトコルによるトラフィック増加の見積りがあるが、キャッシュプロトコルをシミュレートするためには、通信セクションでのキャッシュ状態に関する情報が必要になる。

【0063】このため、MPシステムシミュレータ7は、変換後トレースデータ6Aに基づいて、通信セクション時のキャッシュ状態を再現するキャッシュシミュレート部をそなえてもよい。つまり、変換後トレースデータ6Aには、リードやライトアクセスばかりでなくリアドレスの情報も含まれているため、キャッシュシミュレート部によりキャッシュ状態を再現することができる。

【0064】さらに、MPシステムシミュレータ7は、スピンロックによる通信セクション回数の増加、キャッシュコヒーレンスによる通信セクション回数の増加をシミュレートするスピンロックシミュレート部をそなえてもよい。このようにすれば、MPシステムシミュレータ7により、更に正確なシミュレーションを行なうことができる。

【0065】

【発明の効果】以上詳述したように、請求項1～18記載の本発明によれば、各プロセッサ毎に採取された実行トレースデータから、そのプロセッサ内での実質的な処理実行時間を見積もることにより、命令並列実行可能なプロセッサを複数そなえてなるマルチプロセッシングシステムのシミュレーションを高精度且つ高速に行なうこ

とができ、マルチプロセッシングシステムの性能を高精度且つ高速に評価することができる利点がある。従って、マルチプロセッシングシステムの開発サイクルを短縮化することができ、マルチプロセッシングシステムの開発の工数を抑える効果がある。

【図面の簡単な説明】

【図1】本発明の一実施形態にかかるマルチプロセッシングシステムの性能評価装置の構成を示すブロック図である。

【図2】マルチプロセッシングシステムの構成の一例を示す図である。

【図3】マルチプロセッシングシステムシミュレータの構成を示す図である。

【図4】変換前トレースデータの構成を示す図である。

【図5】変換後トレースデータの構成を示す図である。

【図6】本発明の一実施形態にかかるマルチプロセッシングシステムの性能評価装置の動作を説明するためのフローチャートである。

【図7】本発明の一実施形態にかかるマルチプロセッシングシステムの性能評価装置の動作を説明するためのフローチャートである。

【図8】本発明の一実施形態にかかるマルチプロセッシングシステムの性能評価装置の動作を説明するためのフローチャートである。

【図9】本発明の一実施形態にかかるマルチプロセッシングシステムの性能評価装置の動作を説明するためのフローチャートである。

【図10】本発明の一実施形態にかかるマルチプロセッシングシステムの性能評価装置の動作を説明するためのフローチャートである。

【図11】本発明の一実施形態にかかるマルチプロセッシングシステムの性能評価装置の動作を説明するためのフローチャートである。

【図12】本発明の一実施形態にかかるマルチプロセッシングシステムの性能評価装置の動作を説明するためのフローチャートである。

【図13】本発明の一実施形態にかかるマルチプロセッシングシステムの性能評価装置の動作を説明するためのフローチャートである。

【図14】本発明の一実施形態にかかるマルチプロセッシングシステムの性能評価装置の動作を説明するためのフローチャートである。

【図15】本発明の一実施形態にかかるマルチプロセッシングシステムの性能評価装置の動作を説明するための図である。

【図16】本発明の一実施形態にかかるマルチプロセッシングシステムの性能評価装置の動作を説明するための図である。

【図17】本発明の一実施形態にかかるマルチプロセッシングシステムの性能評価装置の動作を説明するための

(11)

特開平11-96130

図である。

【図18】本発明の一実施形態にかかるマルチプロセッシングシステムの性能評価装置の動作を説明するための図である。

【図19】本発明の一実施形態にかかるマルチプロセッシングシステムの性能評価装置の動作を説明するための図である。

【符号の説明】

- 1 マルチプロセッシングシステム性能評価装置
- 2 シングルプロセッサシミュレータ
- 3 トレースデータ採取部
- 4 トレースデータ格納部
- 4A 変換前トレースデータ

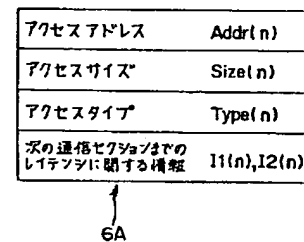
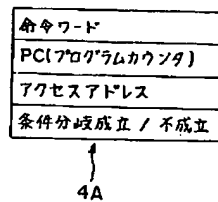
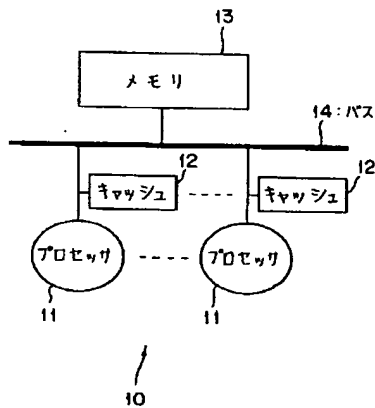
- 5 トレースデータ変換部
- 6 変換後トレースデータ格納部
- 6A 変換後トレースデータ
- 7 マルチプロセッシングシステムシミュレータ（シミュレーション部）
- 7A プロセッサシミュレート部
- 7B バスシミュレート部
- 7C メモリシミュレート部
- 10 マルチプロセッシングシステム
- 11 プロセッサ
- 12 キャッシュ
- 13 メモリ
- 14 バス

【図2】

【図4】

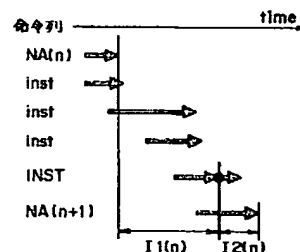
【図5】

マルチプロセッシングシステムの構成の一例を示す図 変換前トレースデータの構成を示す図 変換後トレースデータの構成を示す図



【図15】

本発明の一実施形態にかかるマルチプロセッシングシステムの性能評価装置の動作を説明するための図



NA(n): n番目のネットワークアクセス命令

INST: NA(n)に依存のある命令

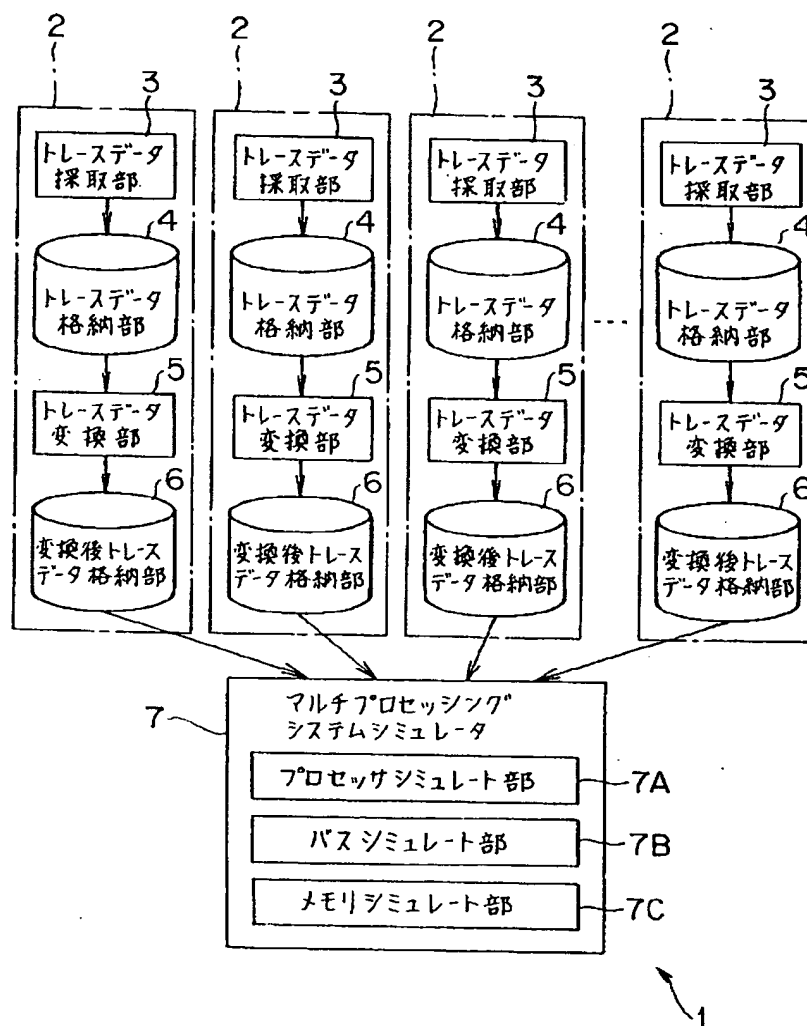
●でNA(n)とINSTの間の依存が生じる

(12)

特開平11-96130

【図1】

本発明の一実施形態にかかるマルチプロセッシングシステムの
性能評価装置の構成を示すブロック図

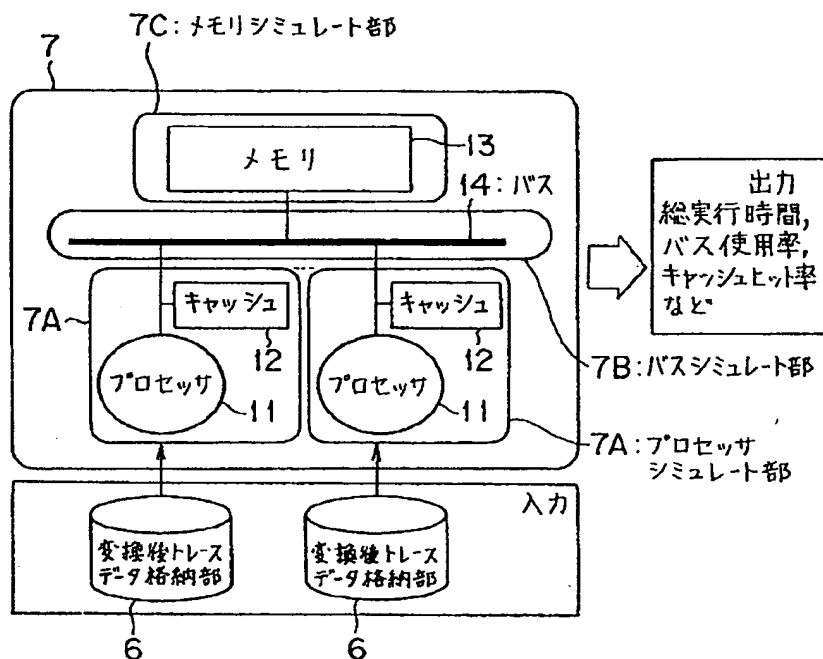


(13)

特開平11-96130

【図3】

マルチプロセッシングシステムシミュレータの構成を示す図



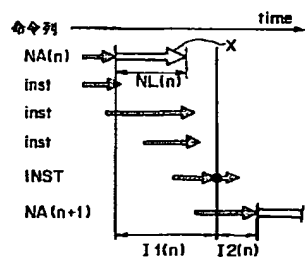
【図16】

【図17】

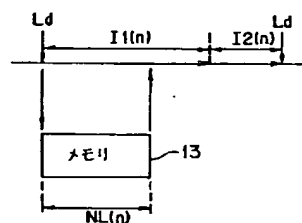
本発明の一実施形態にかかるマルチプロセッシングシステムの性能評価装置の動作を説明するための図

本発明の一実施形態にかかるマルチプロセッシングシステムの性能評価装置の動作を説明するための図

<NL(n) < I1(n) の場合>



<NL(n) < I1(n) の場合>

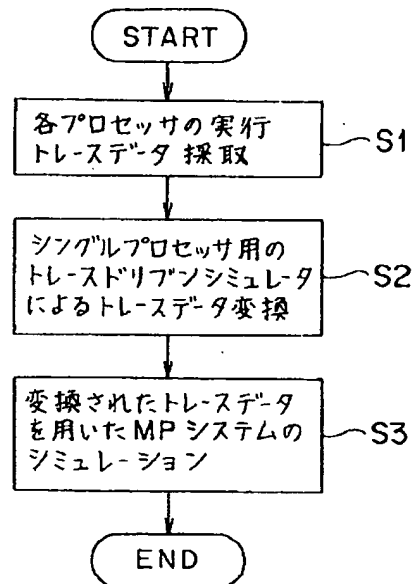


(14)

特開平11-96130

【図6】

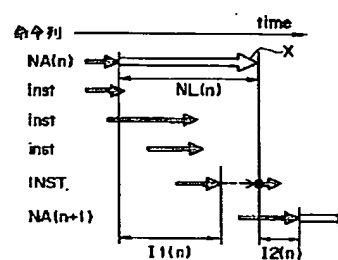
本発明の一実施形態にかかるマルチプロセッシングシステムの性能評価装置の動作を説明するためのフローチャート



【図18】

本発明の一実施形態にかかるマルチプロセッシングシステムの性能評価装置の動作を説明するための図

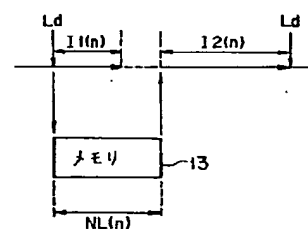
<NL(n) > I1(n)の場合>



【図19】

本発明の一実施形態にかかるマルチプロセッシングシステムの性能評価装置の動作を説明するための図

<NL(n) > I1(n)の場合>

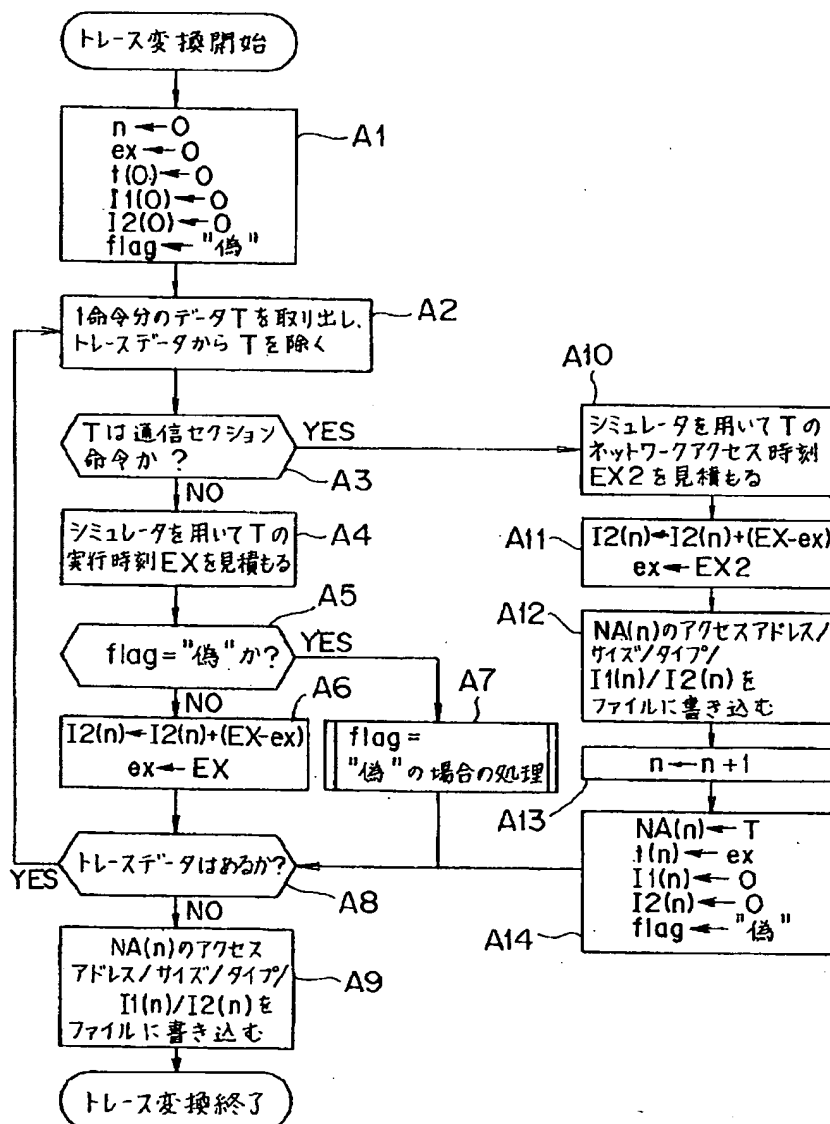


(15)

特開平11-96130

【図7】

本発明の一実施形態にかかるマルチプロセッシングシステムの性能評価装置の動作を説明するためのフローチャート

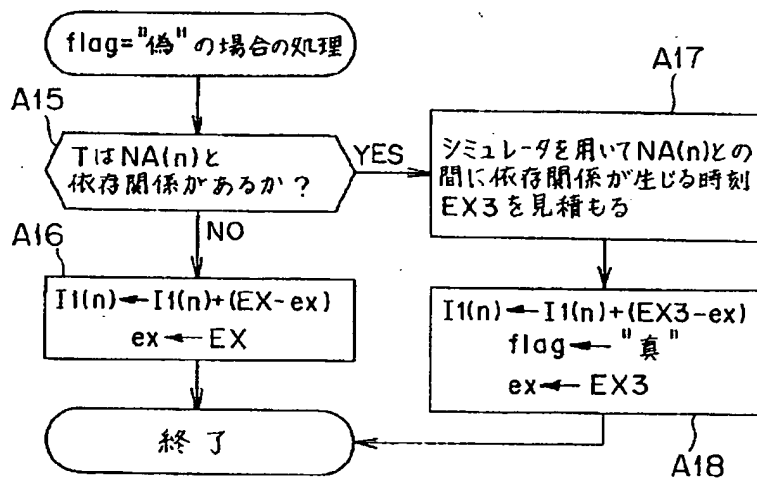


(16)

特開平11-96130

【図8】

本発明の一実施形態にかかるマルチプロセッシングシステムの
性能評価装置の動作を説明するためのフローチャート

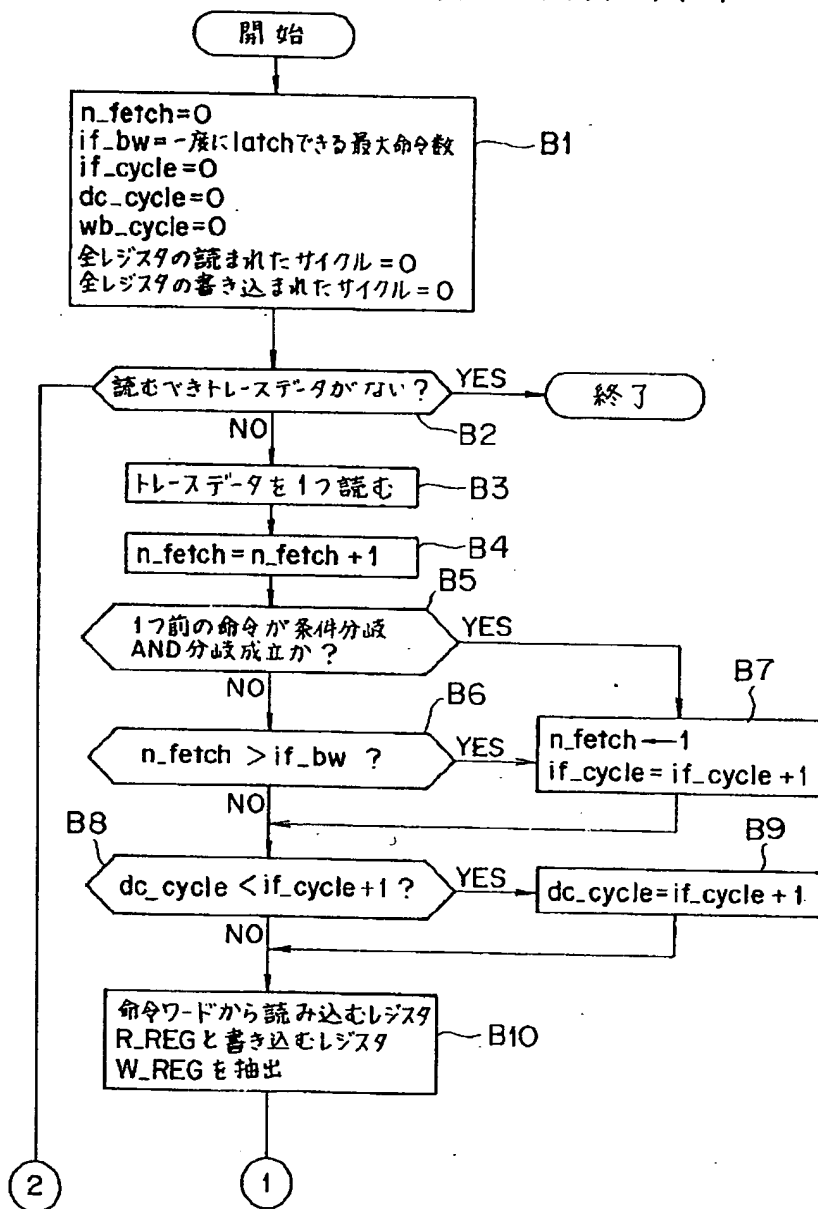


(17)

特開平11-96130

【図9】

本発明の一実施形態にかかるマルチプロセッシングシステムの
性能評価装置の動作を説明するためのフローチャート

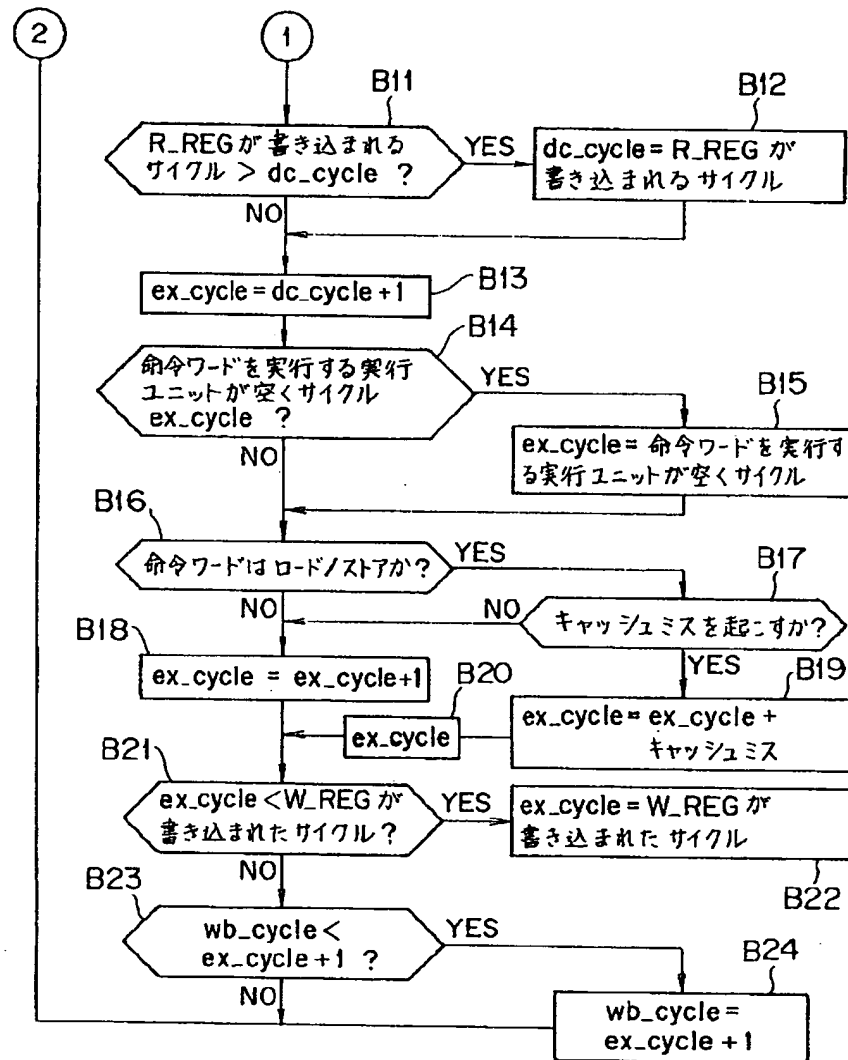


(18)

特開平11-96130

【図10】

本発明の一実施形態にかかるマルチプロセッシングシステムの
性能評価装置の動作を説明するためのフローチャート

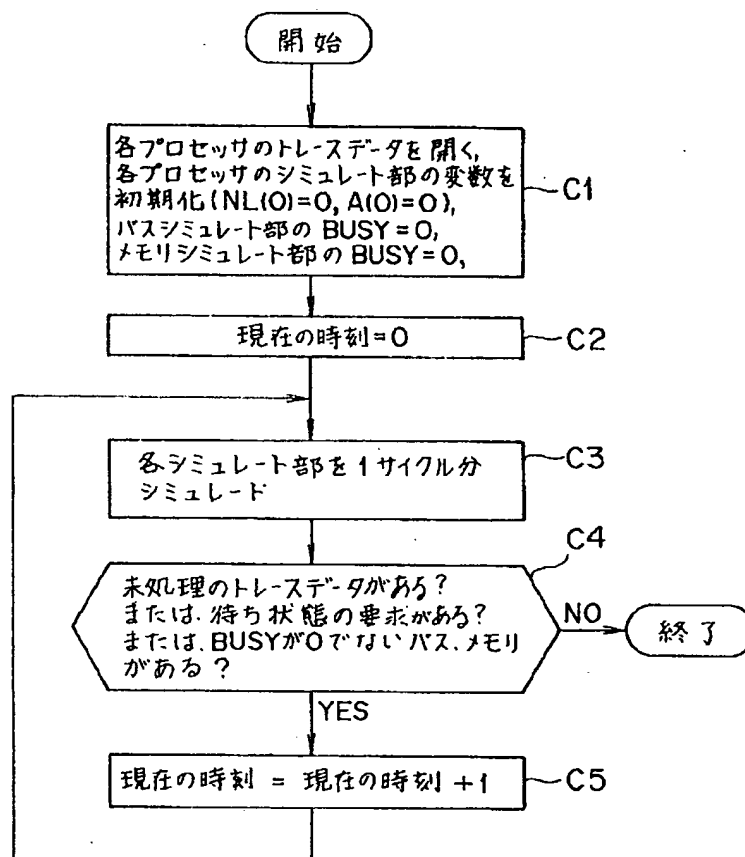


(19)

特開平11-96130

【図11】

本発明の一実施形態にかかるマルチプロセッシングシステムの
性能評価装置の動作を説明するためのフローチャート

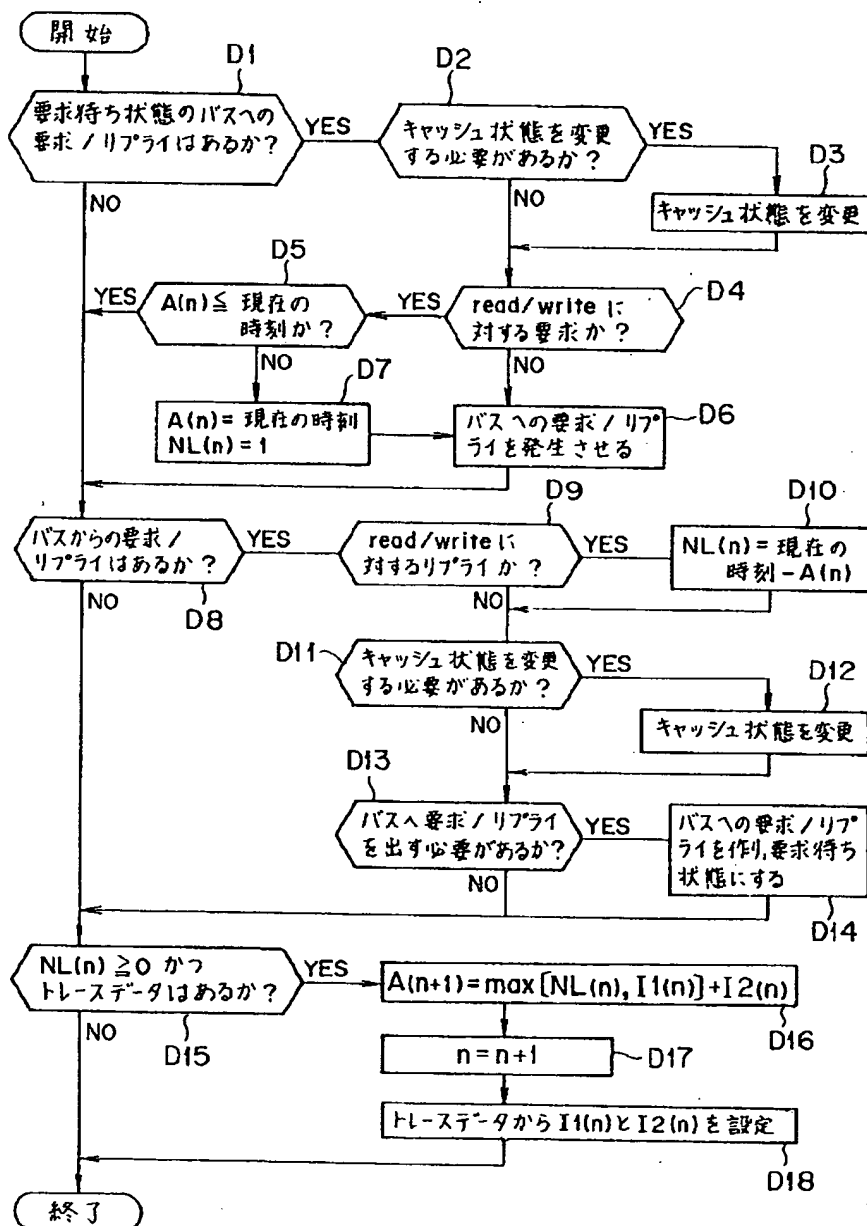


(20)

特開平11-96130

【図12】

本発明の一実施形態にかかるマルチプロセッシングシステムの性能評価装置の動作を説明するためのフローチャート

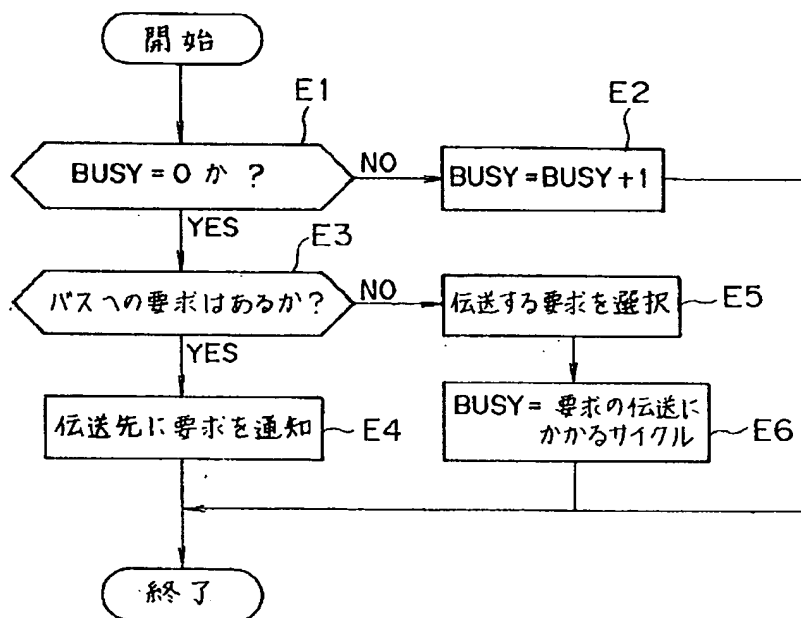


(21)

特開平11-96130

【図13】

本発明の一実施形態にかかるマルチプロセッシングシステムの
性能評価装置の動作を説明するためのフローチャート



(22)

特開平11-96130

【図14】

本発明の一実施形態にかかるマルチプロセッシングシステムの性能評価装置の動作を説明するためのフローチャート

